

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10032592 A

(43) Date of publication of application: 03 . 02 . 98

(51) Int. Cl.

H04L 12/28

H04Q 3/00

(21) Application number: 08205517

(71) Applicant: NEC CORP

(22) Date of filing: 17 . 07 . 96

(72) Inventor: SUGAWARA TSUGIO

## (54) ATM COMMUNICATION EQUIPMENT

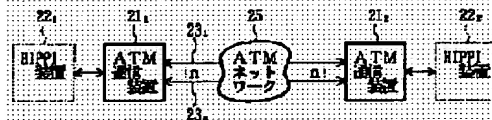
## (57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain ATM communication equipment in which high speed ATM communication using a high performance parallel interface (HIPPI) is conducted by effectively utilizing a comparatively low speed ATM channel.

**SOLUTION:** First and second ATM communication equipments  $21_1$ ,  $21_2$  connecting respectively to HIPPI interfaces  $22_1$ ,  $22_2$  are connected to an ATM network 25 by  $n$ -lines ( $n$  is a plural number) of ATM channels  $23_1$ – $23_n$ . In the case of transmission after a HIPPI burst obtained by the HIPPI interface  $22_1$  is converted into an H-PDU by the ATM communication equipment  $21_1$ , it is divided into  $n$ -systems at a prescribed ratio, each division H-PDU obtained thereby is assembled into a cell by collecting them by a number predetermined by each system and sent to the respective ATM channels  $23_1$ – $23_n$ . At a receiver side, they are disassembled and the H-PDU is decoded based on the disassembled cells, the HIPPI burst is recovered and sent to a 2nd ATM communication equipment  $21_2$ . The ATM communication equipment at

a high speed is realized economically by using a plurality of the comparatively low speed ATM channels  $23_1$ – $23_n$ .

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-32592

(43) 公開日 平成10年(1998) 2月3日

| (51) IntCl <sup>6</sup> | 識別記号 | 庁内整理番号  | F I           | 技術表示箇所 |
|-------------------------|------|---------|---------------|--------|
| H 0 4 L 12/28           |      | 9744-5K | H 0 4 L 11/20 | E      |
| H 0 4 Q 3/00            |      |         | H 0 4 Q 3/00  |        |

審査請求 有 請求項の数 5 F D (全 9 頁)

(21) 出願番号 特願平8-205517

(22) 出願日 平成8年(1996) 7月17日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 菅原 次男

東京都港区芝五丁目7番1号 日本電気株

式会社内

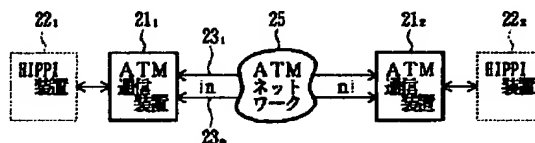
(74) 代理人 弁理士 山内 梅雄

## (54) 【発明の名称】 ATM通信装置

## (57) 【要約】

【課題】 比較的低速なATM回線を有効に活用してH I P P Iインターフェースを使用した高速なATM通信を行うことのできるATM通信装置を得る。

【解決手段】 それぞれH I P P I装置22<sub>1</sub>、22<sub>2</sub>と接続された第1および第2のATM通信装置21<sub>1</sub>、21<sub>2</sub>はATMネットワーク25とn本(nは複数)のATM回線23<sub>1</sub>～23<sub>n</sub>と接続されている。送信時にH I P P I装置22<sub>1</sub>から得られたH I P P IバーストはATM通信装置21<sub>1</sub>内でH-PDUに変換された後、所定の比率でn系統に分割され、これによって得られたそれぞれの分割H-PDUは系統別に予め定めた個数ずつまとめられてセルに組み立てられて、それぞれのATM回線23<sub>1</sub>～23<sub>n</sub>に送り出される。受信側ではこれらをデセル化してこれを基にH-PDUを復元し、H I P P Iバーストを再生して第2のATM通信装置21<sub>2</sub>に送出する。比較的低速の複数のATM回線23<sub>1</sub>～23<sub>n</sub>の使用で経済的かつ高速のATM通信装置が実現する。



## 【特許請求の範囲】

【請求項1】 入力される所定ビット長を1単位とする信号をそれぞれ予め定めたビット数の比率で複数系統の信号に分割する信号分割手段と、

前記信号分割手段によって分割されたそれぞれの信号を同一系統ごとにそれぞれ個別に分割してセルに組み立てるセル組立手段と、

このセル組立手段によって系統別に組み立てられるそれぞれのセルを系統別に用意された信号伝送路に対してそれぞれ独立に送出する系統別セル送出手段と、

前記系統別に用意された信号伝送路をそれぞれ介して前記系統別セル送出手段から送られてきた前記系統別のセルを前記セル組立手段で個別に分割してセルに組み立てたその回数と等しい数でそれぞれ分解するセル分解手段と、

このセル分解手段によって分解された各系統別のそれぞれのセルを1つの系統に統合して前記所定ビット長を1単位とする信号を再生する信号再生手段とを具備することを特徴とするATM通信装置。

【請求項2】 入力される所定ビット長を1単位とするHIPPIバーストをH-PDUに変換する第1の信号変換手段と、

この第1の信号変換手段によって変換された後のH-PDUをそれぞれ予め定めたビット数の比率で複数系統の分割H-PDUに分割する信号分割手段と、

前記信号分割手段によって分割されたそれぞれの分割H-PDUを同一系統ごとにそれぞれ個別に分割して系統別のそれぞれの信号のビット数が前記所定ビット長となったセルに組み立てるセル組立手段と、

このセル組立手段によって系統別に組み立てられるそれぞれのセルを系統別に用意されたATM回線に対してそれぞれ独立に送出する系統別セル送出手段と、

前記系統別に用意されたATM回線をそれぞれ介して対応するセル送出手段から送られてきた前記系統別のセルを前記セル組立手段で複数回セルに組み立てたその回数と等しい数の分割H-PDUにそれぞれ分解するセル分解手段と、

このセル分解手段によって分解して得られた各系統別のそれぞれの分割H-PDUを1つの系統に統合して前記H-PDUを再生する信号再生手段と、

この信号再生手段によって再生されたH-PDUを前記HIPPIバーストに変換する第2の信号変換手段とを具備することを特徴とするATM通信装置。

【請求項3】 前記信号分割手段によって分割される前のH-PDUのワード方向のビット幅と、分割後のそれぞれの分割H-PDUのワード方向のビット幅の合計値が等しく、かつ前記セル組立手段によって組み立てられたこれら分割H-PDUを基にしたセルのワード数が前記信号分割手段によって分割される前のH-PDUのワード数と等しくなるように前記H-PDUが分割されて

いることを特徴とする請求項2記載のATM通信装置。

【請求項4】 前記信号分割手段による分割の比率とそれぞれの系統の信号伝送路の通信速度が正比例の関係にあることを特徴とする請求項1記載のATM通信装置。

【請求項5】 前記信号分割手段による分割の比率とそれぞれの系統のATM回線の通信速度が正比例の関係にあることを特徴とする請求項2記載のATM通信装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はHIPPIのインターフェース信号を使用したATM通信装置に係わり、特に効率良く高速にデータパケットを転送することのできるATM通信装置に関する。

## 【0002】

【従来の技術】HIPPI（ヒッピ：High Performance Parallel Interface）は、情報の伝送速度が800Mbps（メガビット/秒）あるいは1.6Gbps（ギガビット/秒）の高速データ転送を行うための電気信号インターフェースである。HIPPIのインターフェース信号は、主としてスーパーコンピュータやグラフィックコンピュータの高速通信用に使用されている。このような高速データを効率良く転送するために、ATM（Asynchronous Transfer Mode：非同期転送モード）回線側では最低でも622MbpsのSTM-4（ITU-T:International Telecommunication Standardization Sectorの勧告によるSYNCHRONOUS Transfer Module-4(622Mbps)）の回線か、それ以上の超高速回線を必要としている。ところが、この622MbpsのSTM-4回線はATMネットワークの加入者回線として高価であり、未だ広く使用されるには至っていない。

【0003】図7は、従来のHIPPIインターフェースを使用したATM通信装置のデータ転送の様子を示したものである。ANSI（American National Standards Institute:米国規格協会）の勧告によるこのクレジット制御によるデータ転送で、送信側は送信要求が発生するとATM回線を経由して、データの受信側に対して接続要求パケット11の送信を行う。ここでクレジット制御とは、受信側でデータのオーバーフローが発生しないように、送信側から送信を制御する技術の1つである。具体的には、受信側で現在受信可能なパケット数を表わす値としてのクレジット値を、受信側から送信側へ適時通知することにより実現する。この場合のパケットとは、送受信の単位となる単位データ長を表わし、プロトコル（通信手順）上のパケットと一致するとは限らない。

【0004】接続要求パケット11を受信したデータの受信側では、データの受信が可能であれば、初期クレジットを含んだパケット12を送信側に返信する。通信の一番最初に受信側から送信側に通知されるクレジット値を初期クレジット値という。このときの初期クレジット

値としては、通常の場合、受信側で受信可能な最大連続バースト (burst) 数に対応したバッファ数を表わす値が使用される。ここでバーストは固定長であり、一般に複数のバーストで可変長の1つのパケットが構成される。

【0005】HIPPIの場合、クレジット制御はHIPPIバースト単位に適用される。プロトコル上のHIPPIパケットは、複数のHIPPIバーストから構成され、HIPPIパケット単位に送信先が設定される。したがって、HIPPIの場合のクレジット制御の対象はHIPPIバーストである。

【0006】データの送信側では、初期クレジットを含むパケット12を受信すると、この初期クレジットに該当する数のHIPPIバーストを連続して送信することができる。この図7では、矢印付きの太線13のそれぞれ1本1本を1個ずつのHIPPIバーストに対応して表わしている。

【0007】データの送信側でHIPPIパケットの送信を開始すると、データの受信側では事前に決めてある新たなクレジット値に相当する数のHIPPIバーストを受信した時点で、この新クレジットを送信側に返信14する。これにより受信側は、この新クレジット値(図の例では新クレジット値が“8”に設定されている。)に相当する数のHIPPIバーストの受信が可能なことを送信側に通知することになる。この通知は、送信側のHIPPIバーストがすべて送信完了するまでの間、繰り返されことになる。送信側から受信側に対してすべてのHIPPIバーストが送出されるまで、以上の制御が繰り返される。送信側がHIPPIバーストの送出を完了すると、切断を指示するための切断指示パケット15が受信側に送出される。

【0008】このように従来のATM通信装置では、例えば特開平4-220835号公報あるいは特開平5-22334号公報記載の技術で前提としているように、ATM側の通信回線は、送受1本ずつの高速ATM回線で構成されていた。すなわち、物理的にも論理的にも、送信と受信が独立したHIPPIインターフェースとATM側の送信および受信回線との対応は、1対1の関係となるように構成されていた。

【0009】

【発明が解決しようとする課題】HIPPIインターフェースとATM側のこのような対応関係では、転送効率を犠牲にして、一般的な155MのSTM-1回線を使用して通信を行うか、または高価で希少な622MbpsのSTM-4回線を使用して通信を行うことになる。しかしながら、たとえ622MbpsのSTM-4回線を使用したとしても、HIPPIインターフェースにおける800Mbpsの通信速度を収容するには容量不足であり、高速で効率の良いHIPPIのインターフェース信号を使用したATM通信を行うことができない。A

TM回線には、この外に2.4Gbpsの通信速度の回線も存在するが、これは主として中継回線用のもので、加入者とATMネットワークとの直接の接続には使用されていない。

【0010】このように従来のATM通信装置では、一般的な155MbpsのSTM-1回線を用いた通信を行うと遅すぎるという問題があった。また、622MbpsのSTM-4回線を使用したとしても遅い上に高価になるという問題があった。更に、高速なHIPPIインターフェースの性能を十分に生かすためには622Mbps以上のATM回線を使用する必要がある。したがって、たとえ経済的な622MbpsのSTM-4回線に空きがある場合であっても、これを使用せずに遊ばせておくという点で、不経済な装置となっていた。

【0011】そこで本発明の目的は、比較的低速なATM回線を有効に活用してHIPPIインターフェースを使用した高速なATM通信を行うことのできるATM通信装置を提供することにある。

【0012】

【課題を解決するための手段】請求項1記載の発明では、(イ)入力される所定ビット長を1単位とする信号をそれぞれ予め定めたビット数の比率で複数系統の信号に分割する信号分割手段と、(ロ)信号分割手段によって分割されたそれぞれの信号を同一系統ごとにそれぞれ個別に分割してセルに組み立てるセル組立手段と、

(ハ)このセル組立手段によって系統別に組み立てられるそれぞれのセルを系統別に用意された信号伝送路に対してそれぞれ独立に送出する系統別セル送出手段と、

(ニ)系統別に用意された信号伝送路をそれぞれ介して系統別セル送出手段から送られてきた系統別のセルをセル組立手段で個別に分割してセルに組み立てたその回数と等しい数でそれぞれ分解するセル分解手段と、(ホ)このセル分解手段によって分解された各系統別のそれぞれのセルを1つの系統に統合して前記した所定ビット長を1単位とする信号を再生する信号再生手段とをATM通信装置に具備させる。

【0013】すなわち請求項1記載の発明では、入力される所定ビット長を1単位とする信号を信号分割手段によって予め定めたビット数の比率で複数系統の信号に分割する。分割は等分割としての形態をとってもよいし、各系統ごとに比率が異なるようなものであってもよい。これは、後に説明するように信号伝送路の通信速度と深い関係があるので、これとの関係で分割の比率を設定することが望ましい。信号分割手段によって分割されたそれぞれの信号は、分割によって元の信号よりもデータ量が減少する。そこで、信号を信号分割手段によって分割された次の同一系統の信号やそれ以降の同一系統の信号を、それぞれの系統ごとにそれぞれ個別に分割してセルに組み立てる。そしてこれらの系統別のセルを各系統別に設けた信号伝送路に独立して送出する。したがって、

信号分割手段で細かく分割された信号の系統ほど、信号分割手段でそれぞれ分割して得られた自系統の信号を多く組み込んでセルに組み立てて送出することができ、結果的に伝送路の通信速度が低くても、その系統の信号を満足に送り出すことができる。受信側では、系統別に送信側と逆の工程を辿って最終的に元の所定ビット長を1単位とする信号を再生する。このようにして、n系統の信号伝送路を持つことで、比較的遅い通信速度の信号伝送路を用いても十分な通信速度でATM通信を行うことが可能になる。

【0014】請求項2記載の発明では、(イ)入力される所定ビット長を1単位とするHIPPIバーストをH-PDUに変換する第1の信号変換手段と、(ロ)この第1の信号変換手段によって変換された後のH-PDUをそれぞれ予め定めたビット数の比率で複数系統の分割H-PDUに分割する信号分割手段と、(ハ)信号分割手段によって分割されたそれぞれの分割H-PDUを同一系統ごとにそれぞれ個別に分割して系統別のそれぞれの信号のビット数が前記した所定ビット長となったセルに組み立てるセル組立手段と、(ニ)このセル組立手段によって系統別に組み立てられるそれぞれのセルを系統別に用意されたATM回線に対してそれぞれ独立に送出する系統別セル送出手段と、(ホ)系統別に用意されたATM回線をそれぞれ介して対応するセル送出手段から送られてきた系統別のセルをセル組立手段で複数回セルに組み立てたその回数と等しい数の分割H-PDUにそれぞれ分解するセル分解手段と、(ヘ)このセル分解手段によって分解して得られた各系統別のそれぞれの分割H-PDUを1つの系統に統合してH-PDUを再生する信号再生手段と、(ト)この信号再生手段によって再生されたH-PDUをHIPPIバーストに変換する第2の信号変換手段とをATM通信装置に具備させる。

【0015】すなわち請求項2記載の発明では、入力される所定ビット長を1単位とするHIPPIバーストをH-PDUに変換した後、このH-PDUを信号分割手段によって予め定めたビット数の比率で複数系統の信号に分割する。分割は等分割としての形態をとってもよいし、各系統ごとに比率が異なるようなものであってもよい。これは、後に説明するように信号伝送路の通信速度と深い関係があるので、これとの関係で分割の比率を設定することが望ましい。信号分割手段によって分割されたそれぞれの信号は、分割によって元の信号よりもデータ量が減少する。そこで、信号を信号分割手段によって分割された次の同一系統の信号やそれ以降の同一系統の信号を、それぞれの系統ごとにそれぞれ個別に定められた回数分だけ分割してセルに組み立てる。そしてこれらの系統別のセルを各系統別に設けたATM回線に独立して送出する。したがって、信号分割手段で細かく分割された信号の系統ほど、信号分割手段でそれぞれ分割して得られた自系統の信号を多く組み込んでセルに組み立て

て送出することができ、結果的にATM回線の通信速度が低くても、その系統の信号を満足に送り出すことができる。受信側では、系統別に送信側と逆の工程を辿って最終的に元の所定ビット長を1単位とするHIPPIバーストを再生する。このようにして、n系統の信号伝送路を持つことで、比較的遅い通信速度の信号伝送路を用いても十分な通信速度でATM通信を行うことが可能になる。

【0016】請求項3記載の発明では、請求項2記載のATM通信装置で信号分割手段によって分割される前のH-PDUのワード方向のビット幅と、分割後のそれぞれの分割H-PDUのワード方向のビット幅の合計値が等しく、かつセル組立手段によって組み立てられたこれら分割H-PDUを元にしたセルのワード数が信号分割手段によって分割される前のH-PDUのワード数と等しくなるようにH-PDUが分割されていることを特徴としている。これにより、無駄のない効率的な通信が可能になり、経済性にも寄与することになる。

【0017】請求項4記載の発明では、信号分割手段による分割の比率とそれぞれの系統の信号伝送路の通信速度が正比例の関係にあることを特徴としている。これは、分割によって小さなデータ量となった信号ほど1つのセルに組み込む回数(信号の個数)を多くすることができるので、セルをそれほど高速に伝送する必要がなく、通信速度が遅くてもよいということになり、分割後の信号のデータ量がより大きくなればそれに伴って通信速度が速くてもよいということになるからである。信号伝送路の数が多くなれば、これに伴って信号分割手段でより多くの信号に分割することができるので、一般により通信速度の遅い信号伝送路でも対応することができるようになる。

【0018】請求項5記載の発明では、信号分割手段による分割の比率とそれぞれの系統のATM回線の通信速度が正比例の関係にあることを特徴としている。これは請求項4記載の発明について説明したと同様である。

【0019】

【発明の実施の形態】

【0020】

【実施例】以下実施例につき本発明を詳細に説明する。

【0021】図1は本発明の一実施例におけるATM通信装置を使用した通信システムを表わしたものである。第1および第2のATM通信装置21<sub>1</sub>、21<sub>2</sub>はそれぞれ対応する第1または第2のHIPPI装置22<sub>1</sub>、22<sub>2</sub>と接続されている。また、これら第1および第2のATM通信装置21<sub>1</sub>、21<sub>2</sub>は、n本のATM回線23<sub>1</sub>～23<sub>n</sub>によって、ATMネットワーク25を介して接続されている。これらn本のATM回線23<sub>1</sub>～23<sub>n</sub>は、通信速度が各種異なり、第1および第2のATM通信装置21<sub>1</sub>、21<sub>2</sub>は、転送効率を考慮してこれらの幾つかを任意に選択して通信を行うことが

できるようになっている。本実施例で第1および第2のHIPPI装置22<sub>1</sub>、22<sub>2</sub>は、スーパーコンピュータであるが、これに限るものでないことはもちろんである。

【0022】図2は、本実施例のATM通信装置の構成を表わしたものである。図1に示した第1および第2のATM通信装置21<sub>1</sub>、21<sub>2</sub>はそれぞれ同一の構成となっているので、ここでは代表的に第1のATM通信装置21<sub>1</sub>を示し、第2のATM通信装置21<sub>2</sub>についての図示および説明は省略する。

【0023】第1のATM通信装置21<sub>1</sub>は、HIPPIバースト送信回路(HPS)31とHIPPIバースト受信回路(HPR)32を備えている。HIPPIバースト送信回路31はHIPPIバースト送信信号線33によって第1のHIPPI装置22<sub>1</sub>からHIPPIバーストの送出を受けるようになっている。HIPPIバースト送信回路31は、受信したHIPPIバーストからLLRC (Length/Longitudinal Redundancy Check word) 部を削除すると共にHBヘッダを付加してH-PDU (ヘッダ付きプロトコルデータユニット) を生成する。このH-PDUは、送信H-PDU蓄積回路35に書き込まれるようになっている。

【0024】なお、LLRCは、HIPPIバーストのエラーチェックのための水平パリティビットで構成される1ワードのチェックコードである。LLRCは、HIPPIバーストごとに上位装置によって付加されて送出され、HIPPIバーストの受信側ではHIPPIバースト受信時に、データを構成するビットごとの時間軸方向のパリティチェック結果を集めて受信したLLRCと比較し、エラーの有無をチェックする。LLRCは、HIPPIインタフェース上でのみ使用され、ATM化するときには削除される。

【0025】HBヘッダは、HIPPIバーストからLLRCを削除したものとして付加されて、H-PDU (H-Protocol Data Unit) を構成するパケットヘッダである。ここでH-PDUは、“HIPPI over ATM”におけるプロトコルデータユニットを意味する。HBヘッダの主な機能は次の通りである。

- (1) フィールド (HIPPIインタフェースでのスイッチング情報) の表示。
- (2) 切断指示 (送信側から、または受信側から)。
- (3) バースト長の表示。
- (4) クレジット情報の通知。
- (5) パケット情報、エラー情報、リセット情報の通知。

$$S_1 : S_2 : \dots : S_n = b_1 : b_2 : \dots : b_n$$

$$\text{ただし、} b_1 + b_2 + \dots + b_n = 32 \text{ (または64)} \quad \dots (1)$$

ここで“32”あるいは“64”は実際のHIPPIバースト幅を示している。

【0029】すなわち、それぞれのATM回線23<sub>1A</sub>～

【0026】さて、送信H-PDU蓄積回路35に書き込まれたH-PDUは、H-PDU分割回路(PDS)36によって1つずつ読み出される。そして、H-PDUのビット方向に分割されてn個の分割H-PDU37<sub>1</sub>～37<sub>n</sub>になる。これらの分割H-PDU37<sub>1</sub>～37<sub>n</sub>は、第1～第nの送信分割H-PDU蓄積回路(CLA)38<sub>1</sub>～38<sub>n</sub>に1つずつ書き込まれる。ここで第1～第nの送信分割H-PDU蓄積回路38<sub>1</sub>～38<sub>n</sub>のそれぞれは、図1に示した第2のATM通信装置21<sub>2</sub>に送信するためのn本のATM回線23<sub>1A</sub>～23<sub>nA</sub>に対応している。第1～第nのセル組立回路(CLA)39<sub>1</sub>～39<sub>n</sub>は、第1～第nの送信分割H-PDU蓄積回路38<sub>1</sub>～38<sub>n</sub>のそれぞれに対応するものには書き込まれた分割H-PDU41<sub>1</sub>～41<sub>n</sub>を独立して読み出し、これらの回線ごとにセル化する。これらのセル42<sub>1</sub>～42<sub>n</sub>は、n本のATM回線23<sub>1A</sub>～23<sub>nA</sub>のそれぞれに対応したATM回線終端送信回路(LIS)43<sub>1</sub>～43<sub>n</sub>に送られ、対応するATM回線23<sub>1A</sub>～23<sub>nA</sub>上に送出されるようになっている。

【0027】一方、n本のATM回線23<sub>1B</sub>～23<sub>nB</sub>に対応して配置された第1～第nのATM回線終端受信回路(LIR)46<sub>1</sub>～46<sub>n</sub>は、図1に示した第2のHIPPI装置22<sub>2</sub>からセルが送られてくるときこれを受信する。第1～第nのセル分解回路(CLD)47<sub>1</sub>～47<sub>n</sub>は、受信したこれらに対応するセル48<sub>1</sub>～48<sub>n</sub>をそれぞれの回線ごとに独立してデセル化し、その出力49<sub>1</sub>～49<sub>n</sub>は対応する回線ごとの受信分割H-PDU組立蓄積回路51<sub>1</sub>～51<sub>n</sub>に入力されて受信回線ごとの分割H-PDUが復元される。受信分割H-PDU組立回路(PDR)52は、これら復元された分割H-PDU53<sub>1</sub>～53<sub>n</sub>をH-PDUのビット方向に揃える。そして、送信側の第2のHIPPI装置22<sub>2</sub>で分割する前のH-PDU55を復元する。この復元されたH-PDU55は、受信H-PDU蓄積回路56に書き込まれる。HIPPIバースト受信回路32は、受信H-PDU蓄積回路56に書き込まれている復元後の受信H-PDUを1つずつ読み出し、HBヘッダを削除すると共にLLRC部を付加し、HIPPIバーストに復元する。このHIPPIバーストはHIPPIバースト受信信号線59によって第1のHIPPI装置22<sub>1</sub>に送信されることになる。

【0028】この図2における各ATM回線23<sub>1A</sub>～23<sub>nA</sub>または23<sub>1B</sub>～23<sub>nB</sub>の通信速度S<sub>1</sub>～S<sub>n</sub>と分割送信されるH-PDUのビット幅b<sub>1</sub>～b<sub>n</sub>の間には、次の関係式が成立するようになっている。

23<sub>n</sub>の通信速度と分割送信されるH-PDUのそれぞれのビット幅とは正比例の関係になるように設定されている。これは、例えば622MbpsのATM回線とそ

の半分の通信速度の311MbpsのATM回線の間では、前者のビット幅を後者のそれよりも倍に設定して同一時間に同一量のデータが送信されるようにするためである。

【0030】ただし、これらが完全な正比例の関係になれば通信を行うことができないというものではない。正比例の関係に保たれるときには通信効率が最大となるという利点がある。これ以外の関係であっても通信時間

$$S_1 + S_2 + \dots + S_n \geq 800 \text{ (Mbps)} \text{ (あるいは } 1.6 \text{ G (Mbps))} \quad \dots (2)$$

ここで800(Mbps)(あるいは1.6G(Mbps))とは、実際のHIPPIの転送速度を表わしている。この(2)式の関係が満たせば、最大スループットでの転送を容易に実現することが可能である。

【0032】図3は、図2で説明した送信時のデータの変換の様子を具体的に示したものである。この図の上の部分には、データの処理される回路としてのHIPPIバースト送信回路(HPS)31、H-PDU分割回路(PDS)36、第1～第nのセル組立回路(CLA)39<sub>1</sub>～39<sub>n</sub>およびATM回線終端送信回路(LIS)43<sub>1</sub>～43<sub>n</sub>を順に示してある。この図では分割H-PDUをそれぞれ1つだけ示しているが、実際にはn本のATM回線23<sub>1A</sub>～23<sub>nA</sub>に対応するn個の分割H-PDUがそれぞれ独立して並列にセル化されて送信されることになる。

【0033】この図3で、HIPPIバースト送信回路31は、受信したHIPPIバースト61からLLRC部(フィールド)を削除すると共にHBヘッダを付加してH-PDU62を生成する。H-PDU分割回路36は、H-PDU62を1つずつ読み出して、n個の分割H-PDU37<sub>1</sub>～37<sub>n</sub>が作られる。各分割H-PDU37<sub>1</sub>～37<sub>n</sub>(図ではH-PDU37<sub>1</sub>のみ図示。)は、第1～第nのセル組立回路(CLA)39<sub>1</sub>～39<sub>n</sub>のうちの該当する回路によって、各々独立にセル42<sub>1</sub>～42<sub>n</sub>化される。これらのセル42<sub>1</sub>～42<sub>n</sub>は、ATM回線終端送信回路(LIS)43<sub>1</sub>～43<sub>n</sub>からATM回線23<sub>1A</sub>～23<sub>nA</sub>上に送信されることになる。なお、この図で「STM-Xetc」とは、STM-1、STM-4、SONET等および既存のその他の伝送フレーム等のATMセルを運ぶための伝送フレームの総称をいう。

【0034】図4は、同じく図2で説明した受信時のデータの変換の様子を具体的に示したものである。この図の上の部分には、データの処理される回路としての第1～第nのATM回線終端受信回路(LIR)46<sub>1</sub>～46<sub>n</sub>、第1～第nのセル分解回路(CLD)47<sub>1</sub>～47<sub>n</sub>、受信分割H-PDU組立回路(PDR)52およびHIPPIバースト受信回路(HRP)32を順に示してある。この図では分割H-PDUをそれぞれ1つだけ示しているが、実際にはn本のATM回線23<sub>1A</sub>～2

が多少増大するものの、従来のATM通信装置よりも高速化や経済性を達成することができる。したがって、通信時間等について許容できる範囲であれば、正比例の関係以外の任意の関係となる組み合わせも可能になる。

【0031】更に、最も効率よく短時間で転送を行うためには、通信速度とビット幅が正比例にある場合で、各通信速度S<sub>1</sub>～S<sub>n</sub>の加算値が次のような関係にある必要がある。

$$\dots (2)$$

3<sub>nA</sub>に対応するn個の分割H-PDUがそれぞれ独立して並列にデセル化されることになる。

【0035】この図4で、第1～第nのATM回線終端受信回路46<sub>1</sub>～46<sub>n</sub>で受信されたATMセル48は、第1～第nのセル分解回路47<sub>1</sub>～47<sub>n</sub>によって、回線ごとの分割H-PDU49<sub>1</sub>～49<sub>n</sub>(図では分割H-PDU49<sub>1</sub>のみ図示。)に組み立てられる。すべての分割H-PDU49<sub>1</sub>～49<sub>n</sub>は、受信分割H-PDU組立回路52によって元のH-PDU55に復元される。そして、HIPPIバースト受信回路32でH-PDU55からHIPPIバースト65に変換されて受信HIPPIバーストとなる。

【0036】図5は、本実施例のATM通信装置を使用した通信システムを具体的な数値と共に示したものである。この実施例では4本のATM回線23<sub>1</sub>～23<sub>4</sub>を使用している。これらは、それぞれ155Mbpsの通信速度でATMネットワーク25に接続されている。ATM通信装置21<sub>1</sub>、21<sub>2</sub>とHIPPI装置22<sub>1</sub>、22<sub>2</sub>の間のインターフェース速度は、800Mbpsの32ビット並列伝送となっている。

【0037】図6は、同じく本実施例の第1のATM通信装置を具体的な数値と共に示したものである。HIPPIバースト送信信号線33は、スーパーコンピュータによる第1のHIPPI装置22<sub>1</sub>がHIPPIバーストを送出するための32ビット信号線である。送信H-PDU蓄積回路35に書き込まれたH-PDUは、H-PDU分割回路(PDS)36によって1つずつ読み出される。そして、H-PDUのビット方向に8ビットずつ4分割されて4個の分割H-PDU37<sub>1</sub>～37<sub>4</sub>になる。ATM回線終端送信回路43<sub>1</sub>～43<sub>4</sub>は、対応するセル42<sub>1</sub>～42<sub>4</sub>を、4本のATM回線23<sub>1A</sub>～23<sub>4A</sub>上に送出することになる。

【0038】一方、4本のATM回線23<sub>1B</sub>～23<sub>4B</sub>に対応して配置された第1～第4のATM回線終端受信回路46<sub>1</sub>～46<sub>4</sub>は第2のATM通信装置22<sub>2</sub>(図5)から送られてきたセルを受信する。第1～第4のセル分解回路47<sub>1</sub>～47<sub>4</sub>は、受信したこれらに対応するセル48<sub>1</sub>～48<sub>4</sub>をそれぞれの回線ごとに独立してデセル化し、その出力49<sub>1</sub>～49<sub>4</sub>は対応する回線ごとの受信分割H-PDU組立蓄積回路51<sub>1</sub>～51<sub>4</sub>に入



力されて受信回線ごとの分割H-PDUが復元される。受信分割H-PDU組立回路52は、これら復元された分割H-PDU53<sub>1</sub>～53<sub>4</sub>をH-PDUのビット方向に揃える。そして、送信側の第2のHIPPI装置22<sub>2</sub>で分割する前のH-PDU55を復元する。この復元されたH-PDU55を基にHIPPIバーストが復元され、HIPPIバースト受信信号線59によって第1のHIPPI装置22<sub>1</sub>に送信される。

【0039】なお、実施例では第1および第2のATM通信装置22<sub>1</sub>、22<sub>2</sub>の間にn本のATM回線23<sub>1</sub>～23<sub>n</sub>が存在するとき、これをすべて使用してATM通信を行うことにしたが、このうちの複数本を使用して通信を行っても、従来よりも高速でかつ経済的な通信を行うことができることは当然である。

【0040】

【発明の効果】以上説明したように請求項1記載の発明によれば、複数の信号伝送路それぞれの通信速度に応じて信号を分散して転送することができるので、低速の信号伝送路であってもこれを複数使用することで高速での通信を可能とすることができる。したがって、比較的安価な低速の信号伝送路を有効に活用することができるばかりでなく、必要とされる任意のスループットでの信号伝送路の組み合わせによるネットワーク設計の自由度が増大する。

【0041】また、請求項2記載の発明によれば、複数のATM回線それぞれの通信速度に応じて信号を分散して転送することができるので、低速のATM回線であってもこれを複数使用することでHIPPI装置を使用した高速通信を可能とすることができる。したがって、比較的安価な低速の信号伝送路を有効に活用することができ経済性が向上するばかりでなく、必要とされる任意のスループットでの信号伝送路の組み合わせによるネットワーク設計の自由度が増大する。すなわち、必要な場合には、800Mbpsあるいは1.6GbpsのHIPPI

Iの最大スループットでの転送を経済的に実現することが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施例におけるATM通信装置を使用した通信システムのシステム構成図である。

【図2】本実施例のATM通信装置の構成を一般的な形として表わしたブロック図である。

【図3】図2で説明した送信時のデータの変換の様子を具体的に示した説明図である。

【図4】図2で説明した受信時のデータの変換の様子を具体的に示した説明図である。

【図5】本実施例のATM通信装置を使用した通信システムを具体的な数値と共に示したブロック図である。

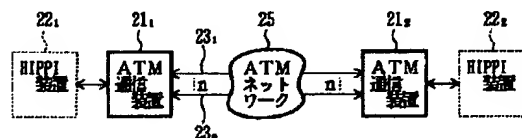
【図6】本実施例の第1のATM通信装置を具体的な数値と共に示したブロック図である。

【図7】従来のHIPPIインターフェースを使用したATM通信装置のデータ転送の様子を示したタイミング図である。

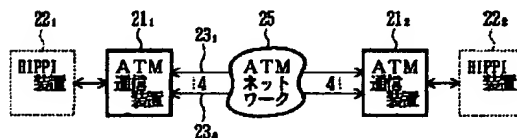
【符号の説明】

- 21 ATM通信装置
- 22 HIPPI装置
- 23 ATM回線
- 25 ATMネットワーク
- 31 HIPPIバースト送信回路
- 32 HIPPIバースト受信回路
- 35 送信H-PDU蓄積回路
- 36 H-PDU分割回路
- 38 送信分割H-PDU蓄積回路
- 39 セル組立回路
- 43 ATM回線終端送信回路
- 46 ATM回線終端受信回路
- 47 セル分解回路
- 51 受信分割H-PDU組立蓄積回路
- 56 受信H-PDU蓄積回路

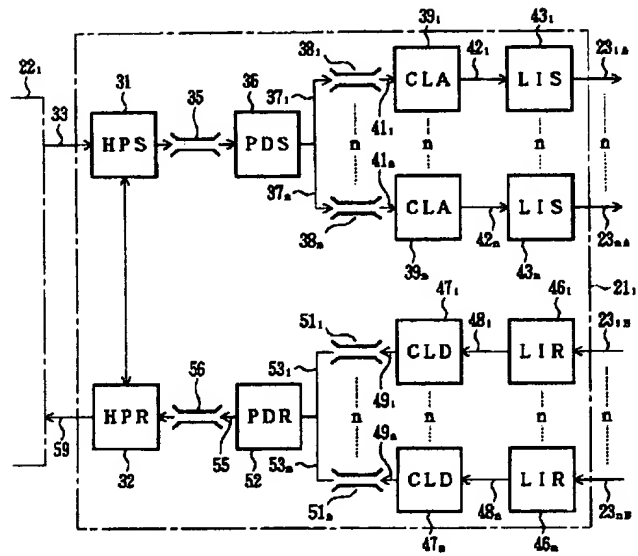
【図1】



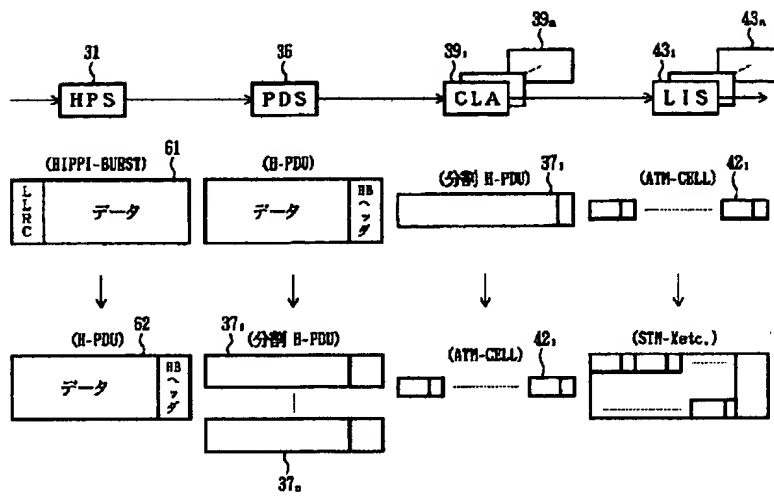
【図5】



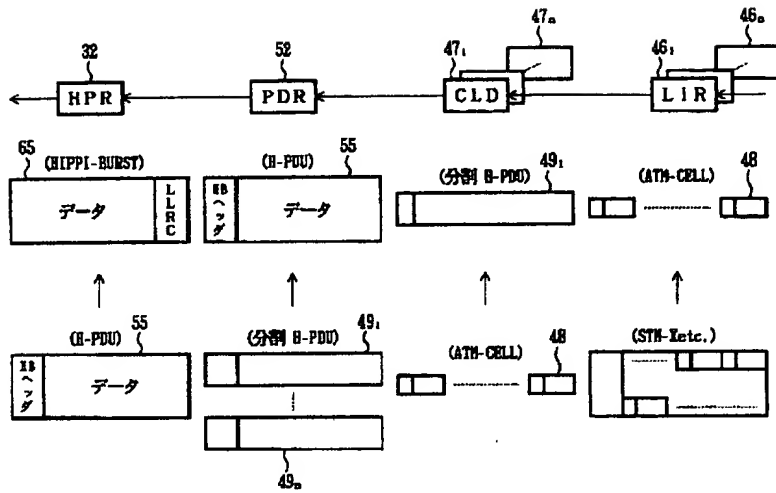
【図2】



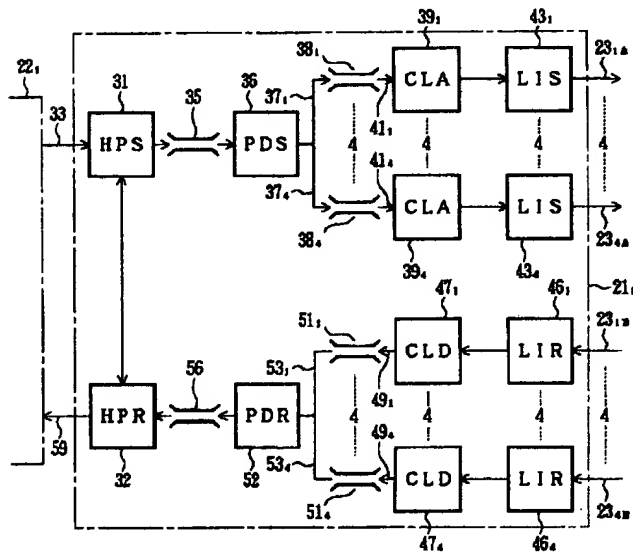
【図3】



【図4】



【図6】



【図7】

